



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **62262515 A**(43) Date of publication of application: **14.11.87**

(51) Int. Cl.

H03K 19/00(21) Application number: **61105916**(71) Applicant: **NEC CORP**(22) Date of filing: **08.05.86**(72) Inventor: **FUJII TAKASHI**(54) **TRI-STATE INPUT CIRCUIT**

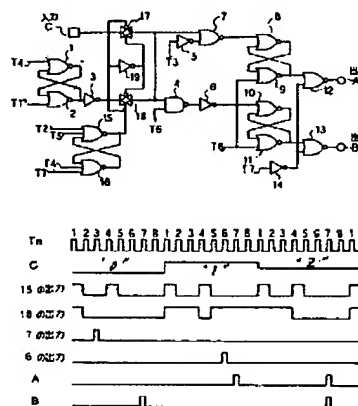
(57) Abstract:

PURPOSE: To prevent the interference between a single phase clock signal generating circuit and an external input signal by using two transmission gates so as to connect the single phase clock signal generating circuit being a high impedance discrimination signal source and an external input terminal to a state discrimination circuit selectively.

CONSTITUTION: The single phase clock signal generating circuit comprising gates 1~3 outputs respectively '1' and '0' level for a period between clocks T1~T3 and for another period between clocks T4~T8 in order to discriminate whether the state of an external input terminal C is in the high impedance (Z) state or not. A transfer gate 18 is opened only for a period between clocks T1~T4 and a transfer gate 17 is opened for periods between clocks T2~T3 and between T5~T8, then the external input is not interfered with the single clock signal generating circuit. When the external input is in the level 'Z' the level of gates 6, 7 remains '0' and a level '1' is outputted to both output terminals A, B with a clock T7. When the level of

the external input is '1' only the level of the output terminal A goes to '1' with the clock T7.

COPYRIGHT: (C)1987,JPO&Japio



⑫ 公開特許公報(A)

昭62-262515

⑤ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和62年(1987)11月14日

H 03 K 19/00

1 0 1

D-8326-5J

審査請求 未請求 発明の数 1 (全7頁)

⑭ 発明の名称 三状態入力回路

⑯ 特 願 昭61-105916

⑰ 出 願 昭61(1986)5月8日

⑱ 発 明 者 藤 井 隆 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称 三状態入力回路

2. 特許請求の範囲

外部入力端子の状態が高レベル・低レベル・高インピーダンスのうちの何れの状態であるかを判別し得る三状態入力回路であって、少なくとも2個の出力端子を備えて3種類の出力信号を生成し得る状態判別回路と、該状態判別回路と外部入力端子との間に介在する第1のトランスミッションゲートと、前記状態判別回路とクロック信号生成回路との間に介在する第2のトランスミッションゲートと、前記第1および第2のトランスミッションゲートを選択的に導通させる制御回路とを備えることを特徴とする上記三状態入力回路。

3. 発明の詳細な説明

産業上の利用分野

本発明は三状態入力回路に関する。更に詳細に

は、高速な動作と少ない電力消費を両立した新規な三状態入力回路の構成に関する。

従来の技術

外部入力端子の状態が3種類、即ちハイレベル(以下“1”と記す)、ローレベル(以下“0”と記す)あるいはハイインピーダンス(以下“Z”と記す)の何れであるかを判別し得る入力回路を三状態入力回路と称する。

三状態入力回路の一般的な構成としては、第3図に示すような回路がある。第3図に示される回路は、Cを入力端子、AおよびBを出力端子とする三状態入力回路であり、Cの入力値としては“1”、“0”、“Z”の3種類があり得る。

この三状態入力回路の構成は以下の通りである。T1～T6は6相のクロック信号の各相の入力を示しており、従って、ゲート1および2からなるフリップフロップおよびNOTゲート3とで構成される1相のクロック信号生成回路は、T1～T2とT3～T6との期間にそれぞれ“1”と“0”

を出力している。そして、ゲート3の出力の駆動能力は端子Cに接続されるであろう標準的な論理ICの出力の駆動能力よりも低く設定されている。

また、NANDゲート4、NOTゲート5、6、14およびNORゲート7~13が図示の如く接続されて、状態判別回路が構成されている。NORゲート8および9並びに10および11は出力端子AおよびBから"0、0"、"0、1"あるいは"1、0"のいずれかを出力する。

Cの入力を"0"→"1"→"2"と変化させた場合のタイミングチャートを第4図に示す。尚、同図においては、Cの欄に示されるものは、三状態判別回路の入力に接続される外部回路の出力の状態である。

従って、例えばC="1"の時には、ゲート4および7の入力は実質的に"1"であり、C="0"の時には同様にゲート4および7の入力は"0"である。また、C="2"の時には、ゲート3の出力がゲート4および7の入力となる。

上述のような3状態入力回路では、その読出し

サイクルT5において、C="1"の時、A="1"、B="0"、C="0"の時、A="0"、B="1"、C="2"の時、A="1"、B="1"となる。

発明が解決しようとする問題点

上述した従来の三状態入力回路は、その動作について大別して2つの大きな問題点を有している。

第一の問題点は動作速度に大きな制約があることである。即ち、C="1"又はC="0"の時には、状態判別回路は外部入力Cの入力信号によって駆動されるので、この状態ではゲート3の駆動能力は小さい方が好ましい。一方、C="2"の時には、状態判別回路は1相のクロック信号生成回路によって駆動されることになるので、ゲート3の駆動能力は大きい方が好ましい。

しかしながら、この回路を高速で動作させようとする場合、従来の回路において上述のような条件をを同時に満足させることは不可能である。従って、実際には従来の3状態入力回路は高速動作

には不向きな回路であるといわれていた。

また、第二の問題点として、消費電力についての問題がある。即ち、C="1"またはC="0"の状態でもゲート3の出力がCに接続された状態になっているので、いわばCに接続される出力とゲート3の出力とが衝突することになり、ゲート3から端子Cへ電流が流入又は流出するのでICの消費電力が増大するのである。

そこで、本発明は、高速動作が可能で消費電力の少ない3状態入力を実現することを目的としている。

問題点を解決するための手段

前述のように、従来の3状態入力回路は、その入力が"1"あるいは"0"の場合と"2"の場合とで異なる入力即ち外部入力と、クロック信号生成回路とによって状態判別回路が駆動されており、更にこの両者が共にアクティブなまま接続されていることが上記のごとき問題の解決を阻む原因となっていることを見出し、これを解決すべく

種々検討・研究を重ねた結果本発明を完成した。

即ち、本発明に従い、外部入力端子の状態が高レベル・低レベル・高インピーダンスのうちの何れの状態であるかを判別し得る3状態入力回路であって、少なくとも2個の出力端子を備えて3種類の出力信号を生成し得る状態判別回路と、該状態判別回路と外部入力端子との間に介在する第1のトランスミッションゲートと、前記状態判別回路とクロック信号生成回路との間に介在する第2のトランスミッションゲートと、前記第1および第2のトランスミッションゲートを選択的に導通させる制御回路とを備えることを特徴とする上記3状態入力回路が提供される。

作用

本発明に従う3状態入力回路は、外部入力端子の状態を取り込むときには、外部入力端子と状態判別回路との間に介在する第1のトランスファゲートが導通し、1相クロック信号生成回路と状態判別回路との間に介在する第2のトランスファ

ゲートは遮断されている。従って、1相クロック信号生成回路の出力が外部入力端子側へ流出することはなく、無駄な電力消費を解消することができると同時に、クロック信号出力回路の駆動能力は外部入力信号のレベルに無関係に設定することが可能となり、高速動作が可能となる。

そして、外部入力端子が“Z”の状態では、第1のトランスファージェートが遮断状態でもどうつう状態でも第1トランスファージェートの出力はバイインピーダンスとなり、第2のトランスファージェートが導通しているときにクロック信号生成回路の出力により状態判別が実行される。

実施例

以下に、本発明の好ましい態様を挙げて、本発明についてより具体的に詳述するが、以下に示すものは本発明の一実施例にすぎず、本発明の技術的範囲を何等制限するものではない。

第1図に示されるのは、本発明に従う三状態入力回路の一実施例の構成を示すものである。尚、

る。

上述のような構成を備えた3状態入力回路において、入力Cを“0”→“1”→“Z”と変化した場合のタイミングチャートを第2図に示す。尚、第2図において、Cの欄に示されるものは入力端子Cの状態である。

NORゲート15及び16からなるトランスファージェート制御回路には、クロックT1、T2、T4及びT5が印加されるので、その出力15は、第2図に示すように、クロックT1が印加されたとき“1”となり、クロックT2が印加されたとき“0”となり、クロックT4が印加されたとき再び“1”となり、クロックT5が印加されたとき“0”となる。従って、トランスファージェート18は、クロックT1及びT4の期間のみ伝達状態にあり、それ以外のクロックT2、T3及びT5～T8の期間は遮断状態にある。一方、トランスファージェート17は、クロックT2、T3及びT5～T8の期間は伝達状態にあり、それ以外の期間は遮断状態にある。

第3図に示した従来の3状態入力回路と同一の要素には同一の参照番号を付した。

この本発明に従う3状態入力回路の構成は以下の通りである。

外部入力端子Cは、トランスファージェート17を介して状態判別回路に接続されている。

また、T1～T8は8相のクロック信号の各相の入力を示しており、ゲート1～3によって構成される1相のクロック信号生成回路は、T1～T3およびT4～T8の期間にそれぞれ“1”と“0”とを出力している。また、この1相のクロック信号生成回路は、トランスファージェート18を介してゲート4～14によって構成される従来の3状態入力回路と同様の構成を備える状態判別回路に接続されている。

更に、本発明に従う3状態入力回路は、前述のトランスファージェート17および18を選択的に導通/遮断させる、NORゲート15、16からなるフリップフロップおよびインバータ19によって構成されるトランスファージェートの制御回路を備えている。

かくして、C=“0”のときは、次のように動作する。クロックT1で、トランスファージェート18が伝達状態になる一方、ゲート3の出力は“1”となり、そのトランスファージェート18を介してNORゲート7の入力に印加される。クロックT1とクロックT2の期間は、クロックT3が印加されるNOTゲート5の入力は、“0”であり、その出力は“1”であるので、トランスファージェート18の出力状態に関係なく、NORゲート7の出力は“0”状態にある。

クロックT2においてトランスファージェート18が遮断する一方トランスファージェート17が伝達状態になるので、入力Cの“0”信号がNORゲート7に印加される。しかし、このときも、NORゲート7の出力は、“0”のままである。

しかし、クロックT3がNOTゲート5に印加されると、NORゲート7の出力が“1”となり、NORゲート8及び9からなるフリップフロップがセットされてそのNORゲート9の出力が“1”となり、この状態はリセットされるまで保持さ

れる。

一方、クロックT1～クロックT5までは、クロックT6が印加される入力は、“0”であるので、NANDゲート4の出力は“1”の状態にある。従って、クロックT4で、トランスファージェート18が再び伝達状態になり、且つ、ゲート3の出力が“0”となり、そのトランスファージェート18を介してNANDゲート4の入力に印加されても、NANDゲート4の出力は“1”の状態では変化する。

次いで、クロックT5においてトランスファージェート18が遮断する一方トランスファージェート17が伝達状態になり、入力Cの“0”信号がNANDゲート4に印加され、このときもNANDゲート4の出力状態に変化はない。その後、クロックT6がNANDゲート4に印加されても、NANDゲート4の出力は“1”のまま変化なく、それ故、NOTゲート6の出力は“0”のまま変化しない。従って、NORゲート10及び11からなるフリップフロップがセットされることはなく、そのN

ORゲート11の出力は“0”のままである。

かくして、クロックT7の読出しクロックがNOTゲート14に印加されると、NANDゲート12の出力は“0”のまま変化しないが、NANDゲート13の出力は、“1”を出力する。そして、次のクロックT8でリセットされる。

また、C=“1”のときは、次のように動作する。クロックT1で、トランスファージェート18が伝達状態になる一方、ゲート3の出力が“1”となり、そのトランスファージェート18を介してNORゲート7の入力に印加される。しかし、上述したように、クロックT1とクロックT2の期間は、クロックT3が印加されるNOTゲート5の入力は、“0”であり、その出力は“1”であるので、トランスファージェート18の出力状態に関係なく、NORゲート7の出力は“0”状態にある。

次いで、クロックT2においてトランスファージェート18が遮断する一方トランスファージェート17が伝達状態になるので、ゲート3の“1”信号の代わりに入力Cの“1”信号がNORゲート7に

印加されるが、NORゲート7の出力は“0”状態のままである。その後、クロックT3がNOTゲート5に印加されても、入力Cの“1”信号がNORゲート7に印加されているので、NORゲート7の出力は“0”のままである。

クロックT4で、トランスファージェート18が再び伝達状態になり、且つ、ゲート3の出力が“0”となり、そのトランスファージェート18を介してNORゲート7の入力に印加されるが、このとき、クロックT3が“0”に戻り、NOTゲート5の出力が“1”となるので、NORゲート7の出力は“0”のままである。かくして、NORゲート8及び9からなるフリップフロップはセットされることはなく、そのNORゲート9の出力が“0”のままである。

一方、クロックT4で、トランスファージェート18が再び伝達状態になり、且つ、ゲート3の出力が“0”となり、そのトランスファージェート18を介してNANDゲート4の入力に印加される。このとき、NANDゲート4のクロックT6が印加

される入力は、上述したように、クロックT1のときから“0”であるので、NANDゲート4の出力は“1”の状態のままである。

次いで、クロックT5においてトランスファージェート18が遮断する一方トランスファージェート17が伝達状態になり、入力Cの“1”信号がNANDゲート4に印加されるが、このときもNANDゲート4の出力状態に変化はない。

しかし、クロックT6がNANDゲート4に印加されると、NANDゲート4の出力は“0”に変化し、NOTゲート6の出力は“1”となる。従って、NORゲート10及び11からなるフリップフロップがセットされ、そのNORゲート11の出力は“1”となる。

かくして、クロックT7の読出しクロックがNOTゲート14に印加されると、NANDゲート12の出力は“1”を出力するが、NANDゲート13の出力は、“0”のまま変化しない。

そして、C=“Z”とのときは、次のように動作する。クロックT1で、トランスファージェート

18が伝達状態になる一方、ゲート3の出力が“1”となり、そのトランスファーゲート18を介してNORゲート7の入力に印加されるが、クロックT1とクロックT2の期間は、クロックT3が印加されるNOTゲート5の入力は、“0”であるので、NORゲート7の出力は、“0”状態にある。

次いで、クロックT2においてトランスファーゲート18が遮断する一方トランスファーゲート17が伝達状態になる。しかし、入力Cは“Z”すなわち高インピーダンス状態であるので、NORゲート7の入力は、ゲート3の出力状態すなわち“1”に保持される。従って、クロックT3がNOTゲート5に印加されても、NORゲート7の出力は“0”のままである。

一方、クロックT1～クロックT5までは、クロックT6が印加される入力は、“0”であるので、NANDゲート4の出力は“1”の状態にある。従って、クロックT4で、トランスファーゲート18が再び伝達状態になり、且つ、ゲート3の出力が“0”となり、そのトランスファーゲート

18を介してNANDゲート4の入力に印加されても、NANDゲート4の出力は“1”の状態に変化はない。

次いで、クロックT5においてトランスファーゲート18が遮断する一方トランスファーゲート17が伝達状態になる。この時、入力Cは“Z”すなわち高インピーダンス状態であるので、NANDゲート4の入力は、ゲート3の出力状態すなわち“1”に保持される。従って、その後、クロックT6がNANDゲート4に印加されても、NANDゲート4の出力は“1”のまま変化なく、それ故、NOTゲート6の出力は“0”のまま変化ない。従って、NORゲート10及び11からなるフリップフロップがセットされることはなく、そのNORゲート11の出力は“0”のままである。

かくして、クロックT7の読出しクロックがNOTゲート14に印加されると、NANDゲート12とNANDゲート13の両出力は、“1”を出力する。

以上の説明から明らかなように、 $C = "1"$ 又

は $C = "0"$ の時には、それぞれT5において、Cの値が状態判別回路に読み込まれ、 $C = "1"$ の時、 $A = "1"$ 、 $B = "0"$ 、 $C = "0"$ の時、 $A = "0"$ 、 $B = "1"$ が出力される。

一方、 $C = "Z"$ の時、トランスファーゲート17の出力側は常に高インピーダンスである。従って、状態判別回路には、ゲート18を通してゲート3の出力が読み込まれる。このとき、制御回路によりトランスファーゲート18が非導通になっても、トランスファーゲート17は以前として高インピーダンスであるのでゲート3の出力は保たれる。

発明の効果

以上詳述のように、本発明に従う3状態入力回路では、2つのトランスミッションゲートによって、“Z”判別信号源たる1相クロック信号生成回路と外部入力端子とを選択的に状態判別回路に接続するので、1相クロック信号生成回路の出力と外部入力信号とが干渉することはない。

従って、1相のクロック信号生成回路の出力駆

動能力は動作速度に合わせて自由に設定することができる。。

また、1相のクロック信号生成回路の出力が外部入力端子に導通することはないので、この回路の出力が外部へ漏れることはなく、従来の3状態入力回路に比較して、低消費電力で且つ高速動作の可能な三状態入力回路となる。

4. 図面の簡単な説明

第1図は、本発明に従う三状態入力回路の一態様を回路図によって示すものであり、

第2図は、第1図に示した回路を動作させた場合のタイミングチャートであり、

第3図は、従来の三状態入力回路の一例を示す回路図であり、

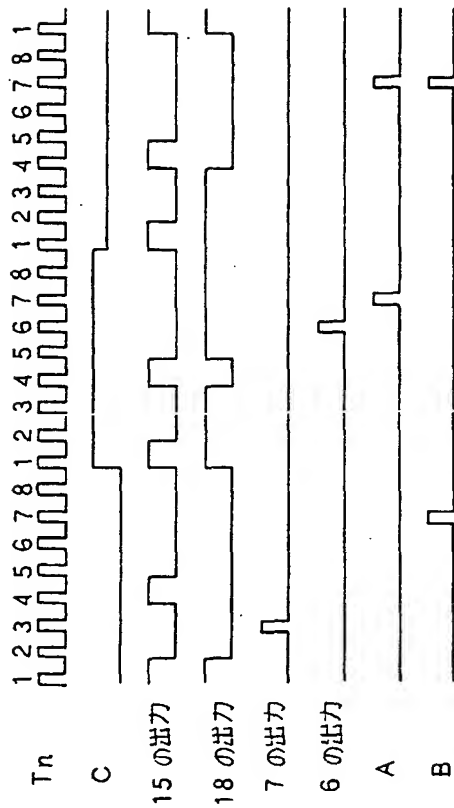
第4図は、第3図に示す回路を動作させた場合のタイミングチャートである。

〔主な参照番号〕

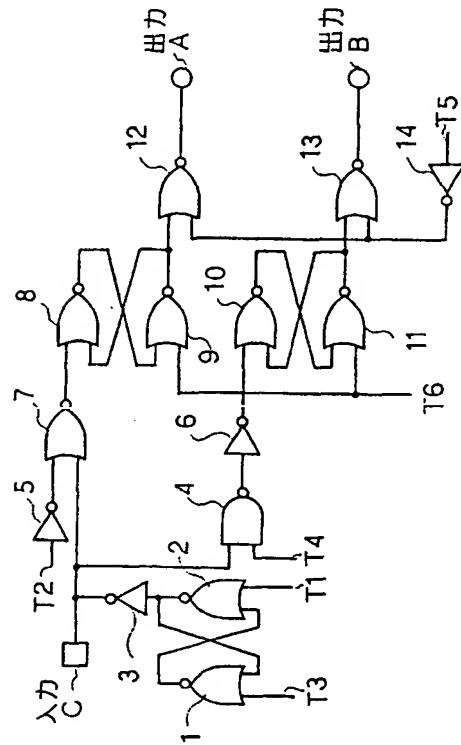
1～3・・・1相のクロック信号生成回路、

4～14・・・状態判別回路、
15～16、19・・・トランスファージート制御回路、
17、18・・・トランスファージート

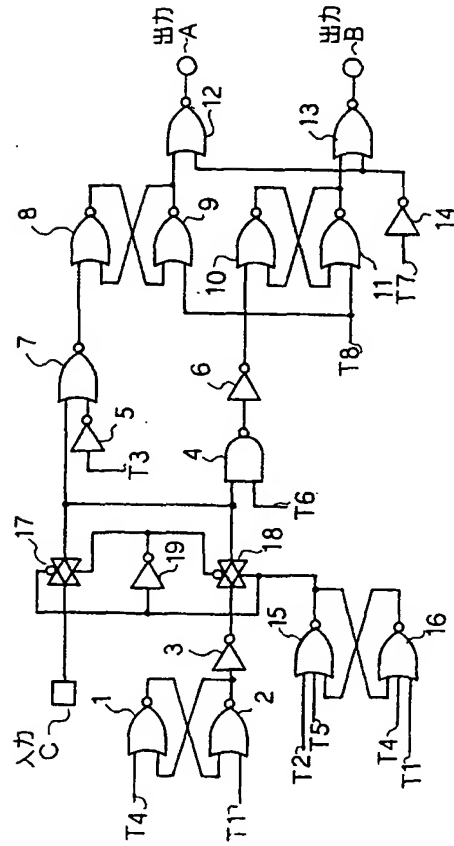
特許出願人 日本電気株式会社
代理人 弁理士 内原 晋



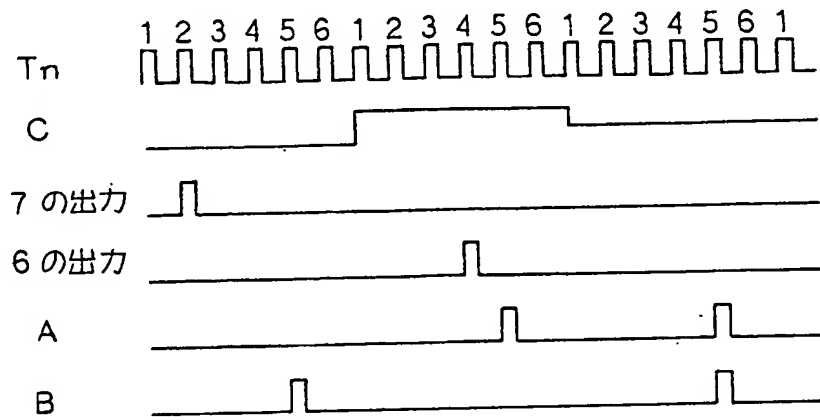
第2図



第3図



第1図



第 4 図